

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(54) ACTIVE MATRIX LIQUID CRYSTAL DISPLAY PANEL

(11) 2-51129 (A) (43) 21.2.1990 (19) JP

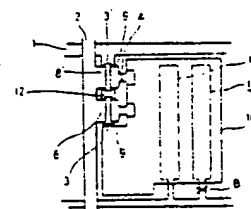
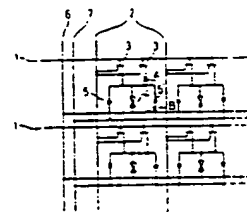
(21) Appl. No. 63-202210 (22) 12.8.1988

(71) SANYO ELECTRIC CO LTD (72) MITSUHIRO YAMAZAKI(1)

(51) Int. Cl.⁴ G02F1/136,H01L27/12,H01L29/784

PURPOSE: To eliminate decrease in the brightness of a picture element due to the removal of a defective TFT by providing TFTs and auxiliary capacitors corresponding to them at every picture element unit at intersection parts of gate lines and image lines.

CONSTITUTION: The thin film transistors (TFT) 3 and 3' in picture element units which are controlled by the gate lines 1 and the auxiliary capacitors 5 and 5' corresponding to them are provided at the intersection parts of the gate lines 1 and image lines 2. If one TFT 3' becomes defective, and is still OFF, the B position of one auxiliary capacitor 11' is cut by laser beam irradiation. If the TFT 3' becomes defective while being in the ON state, the A position of its source electrode 9 is cut in addition to the B position. Consequently, picture elements can operate normally with the remaining normal TFTs 3. Consequently, the generation of a flicker and variation in brightness are both prevented.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-51129

⑮ Int. Cl.³

G 02 F 1/136
H 01 L 27/12
29/784

識別記号

5 0 0

庁内整理番号

7370-2H
7514-5F

⑬ 公開 平成2年(1990)2月21日

8624-5F H 01 L 29/78 3 1 1 E

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 アクティブマトリクス液晶表示パネル

⑰ 特 願 昭63-202210

⑱ 出 願 昭63(1988)8月12日

⑲ 発 明 者 山 崎 光 洋 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内
⑲ 発 明 者 生 島 一 司 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内
⑲ 出 願 人 三 洋 電 機 株 式 会 社 大阪府守口市京阪本通2丁目18番地
⑲ 代 理 人 弁 理 士 西 野 卓 嗣 外 1 名

明 細 書

1. 発明の名称 アクティブマトリクス液晶
表示パネル

2. 特許請求の範囲

(1) 複数のゲートラインと複数の画像ラインがマトリクス状に交差配列され、その各交差部分に前記ゲートラインによつて制御される薄膜トランジスタと、該トランジスタに接続され、これを介して前記画像ラインより画像信号が供給される容量素子である液晶セルと、該液晶セルの画像信号を保持する為の補助容量とを配設したアクティブマトリクス液晶表示パネルにおいて、ゲートラインと画像ラインの各交差部分の画素単位毎に複数の個の上記トランジスタと、これに対応する複数の補助容量を備えたことを特徴とするアクティブマトリクス液晶表示パネル。

3. 発明の詳細な説明

(イ) 産業上の利用分野

本発明は薄膜トランジスタ(以下TFTと称す)を備えたアクティブマトリクス液晶表示パネル

に関する。

(ロ) 従来の技術

近年、液晶テレビ用にアクティブマトリクス液晶表示パネルの開発が盛んであるが、現状においては、フリッカの発生や歩止まりの問題が未解決であり、以下に述べる対策方法が提案されている。即ち、フリッカの発生に関しては、フリッカの量は、容量比 $C_{gs}/(C_{gs}+C_{lc})$ [ただし、 C_{gs} : TFTのゲート・ソース間容量、 C_{lc} : 液晶セルの容量]の値に影響され、この値が小さい程、フリッカが小さくなることが知られている。この対策として、液晶セルに並列に画像信号保持用の補助容量 C_{hc} を付加して、容量比を $C_{gs}/(C_{gs}+C_{lc}+C_{hc})$ と小さくする方法が提案されている。

また、歩止まりの向上対策としては、1画素あたり2つ以上のTFTを備え、少なくとも1つの薄膜トランジスタが正常であれば、パネルとして正常動作するようにしたもののが報告されている(特開昭62-8560号)。

従つて、歩止まりを向上させ、かつフリッカを

減少させるには、上記の従来技術を単純に組み合わせることが考えられる。第3図はこのような1画素当たり2個のTFTを配設し更に各画素に補助容量を付加した例の等価回路図であり、第4図はこの等価回路を実現するパターン例を1画素について示したものである。

これ等の図に於いて、(1)は透明絶縁基板上のゲートライン、(2)はドレインライン、(3)は第1のTFT、(3')は第2のTFT、(4)は画素単位で模式的に示した液晶セル、(5)は補助容量、(6)は液晶セル(4)の共通電極、(7)は補助容量(5)の共通電極、(8)(9)は第1のTFT(3)のソース・ドレイン電極、(8')(9')は第2のTFT(3')のソース・ドレイン電極、(10)は画素電極を夫々示している。同図の如く、1画素当たり1個のTFTを用いた場合と同じサイズのTFTを2個配設した場合は、ゲート・ソース間容量が2倍になるので、前述の容量比は

$$2C_{gs} / (2C_{gs} + C_{lc} + C_{sc})$$

となり、 $C_{gs} \ll C_{lc} \ll C_{sc}$ であるので、1画素当たり1個のTFTを配設した場合の2倍近くにな

前述のTFTの不良は、TFTがオフのままではオンしない不良について考えたが、TFTがオフのままではオフしない不良の場合は、レーザー照射等で、透明電極(10)から不良TFT(3)、(3')を切り離す修正を行えば、TFTがオフのままではオンしない不良と同様になる。従って、先に述べた従来技術を単に組み合わせた構成に於いても、フリッカの減少と歩止まりの向上を図ろうとすれば、TFTが不良になった場合にこの画素の輝度が大幅に低下することになる。

故に、従来技術では、フリッカの減少と歩止まりの向上を両立させることは困難であつた。

(イ) 発明が解決しようとする課題

本発明は上記の問題を取り除いたアクティブマトリクス液晶表示パネルを提供することを目的とするものであり、不良TFTの排除に供なう画素の輝度低下を解消しようとするものである。

(ロ) 課題を解決するための手段

本発明のアクティブマトリクス液晶表示パネルは、ゲートラインと画像ラインの各交差部分の画

素。従って、同サイズのTFTを単に増やしただけでは、フリッカの増大等の問題が生じる。これを選べて、容量比を1画素当たりTFT1個の場合の

$$C_{gs} / (C_{gs} + C_{lc} + C_{sc})$$

とほぼ同じ値にするには、TFTのチャンネル幅を $1/2$ にする方法か、または C_{sc} を2倍にする方法か、2通りの方法が考えられる。ところが、TFTのチャンネル幅を $1/2$ にした場合は、トランジスタの1個が動作不良になると、ドレイン電流が $1/4$ になり、液晶セルおよび補助容量に十分な充電が行われず、この画素の輝度が大幅に低下する。

又、TFTのチャンネル幅を変えずに、 C_{sc} の値を2倍にした場合は、 C_{sc} の値が2倍になっているので、必要な充電を行うためのドレイン電流も約2倍となる。従って、この場合においても、1個のTFTが動作不良になると、十分な充電が行われず、この画素の輝度が大幅に低下する。

これらは、3個以上のTFTを1画素に配設した場合にも同様に生じる問題である。

画素単位毎に複数個のトランジスタとこれに対応する複数個の補助容量を備えたものである。

(ハ) 作用

本発明の液晶表示パネルによれば、画素単位毎に複数個のトランジスタと複数個の補助容量とを備えたものである。TFTが動作不良になった場合に、TFTを切り離すと同時に対応する補助容量を切除できる。

(ニ) 実施例

第1図は本発明のアクティブマトリクス液晶表示パネルの一実施例の等価回路図、第2図は第1図の等価回路を実現するパターン例を1画素について示したものである。

これ等の図に於いて、第3図、第4図の従来例と同一部分には、これ等従来例と同一符号を付しており、第1図、第2図の本発明パネルが従来パネルと異なるところは、各画素毎に2個のTFT(3)(3')に対応して2枚の補助容量用共通電極(10)(10')を設けた点にある。

即ち、一般にTFT(3)の大きさ(チャンネル幅

)は、1画素当りn個のTFT(3)で駆動する場合、1個のTFT(3)で駆動する場合の1/nとする。

更に、1画素当りn個のTFTで駆動する場合、補助容量(11)も1/nのものをn個配設する。TFT(3)が全て良品の場合は、先に述べた容量比は、

$$n \times \frac{1}{n} C_{gs} / (n \times \frac{1}{n} C_{gs} + C_{lc} + n \times \frac{1}{n} C_{sc})$$

$$= C_{gs} / (C_{gs} + C_{lc} + C_{sc})$$

となり、1画素当りの1個のTFT(3)の場合と同じであり、フリッカは改善されている。

さて、1個のTFT(3)が不良になった場合、 $n=2$ で例えば第1図、第2図図示の一方のTFT(3)が不良になったとする。この場合、TFT(3)がオフしたままの状態であれば一方の補助容量(11)のB位置をレーザー照射で切断する。TFT(3)がオンしたままの不良であればこのB位置に加えて、そのソース電極(9)のA位置を切断する。この結果、 $C_{gs} \ll C_{lc} \ll C_{sc}$ であるので、容量比は $1 \times \frac{1}{2} C_{gs} / (1 \times \frac{1}{2} C_{gs} + C_{lc} + 1 \times \frac{1}{2} C_{sc})$

$$= C_{gs} / (C_{gs} + C_{lc} + C_{sc})$$

となり、この画素は残った正常なTFT(3)で正常

に駆動できる。従つて、フリッカの発生も輝度の変化も防ぐことが可能であり、かつ歩止まりを向上させることができる。

本発明は2個のTFT(3)(3')に限定されるものでなく、1画素当りn個のTFTとn個の補助容量を配接しm個($m < n$)のTFTが不良になった場合も同様にレーザー照射による修正が可能である。

(h) 効果

本発明の液晶表示パネルを用いることにより、TFT不良による表示欠陥を修正できるので、歩止まりが向上する。更に、従来の技術の延長では防ぐことのできないフリッカの発生や輝度の異常も防ぐことができる。

4. 図面の簡単な説明

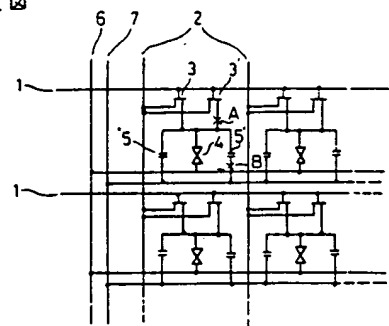
第1図は本発明を実施したパネルの等価回路図、第2図は第1図の等価回路の1画素当りのパターン図、第3図は、従来技術の単純な組み合わせを行ったパネルの等価回路図、第4図は第2図の等価回路のパターン図である。

(1)…ゲートライン、(2)…画像ライン、(3)、(3')…TFT、(4)…液晶セル、(5)、(5')…補助容量、(6)…共通電極(液晶セル用)、(7)…共通電極(補助容量用)、(8)、(8')…ドレイン、(9)、(9')…ソース、(10)…画素電極、(11)、(11')…補助容量用共通電極、(12)…ゲート、(13)…絶縁膜、(14)…ガラス基板。

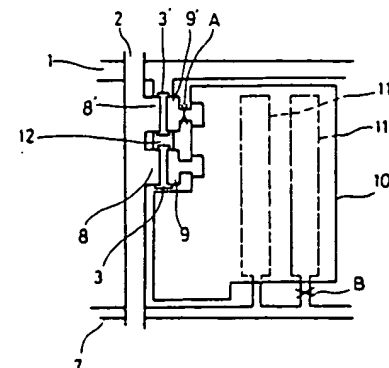
出願人 三洋電機株式会社

代理人 弁理士 西野卓嗣(外1名)

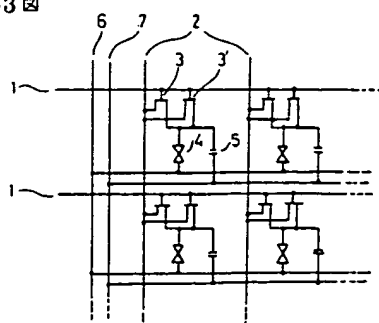
第1図



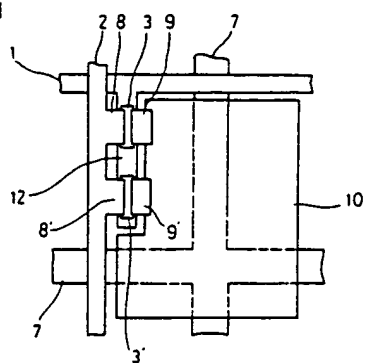
第2図



第3図



第4図



THIS PAGE BLANK (USPTO)

4246302
MR. BONEY
ACCESSION #PWE30
MAIN COMMERCE
PLEASE STAPLE AT BOTTON
0705054S
LEE
07/05

U 95 058

TL

h012